

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261795

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 09-067579

(71)Applicant : SHARP CORP

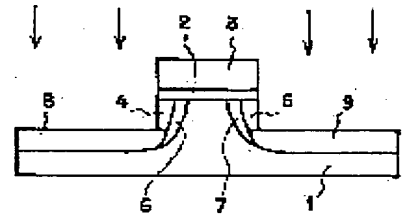
(22)Date of filing : 21.03.1997

(72)Inventor : AOKI EIJI

(54) INSULATING GATE-TYPE FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a means to form a halo region for suppressing short channel effect only in the region encircling low-concentration source and drain regions in a micro-miniaturized insulating gate-type field-effect transistor.

SOLUTION: The insulating gate-type field-effect transistor is formed on a p-type silicon substrate 1 having a projection on its surface, has a gate electrode 3 on the top of the projection with a gate insulating film 2 in-between, has high-concentration source and drain regions 8, 9 on the surface of the silicon substrate 1 at the base of the projection, has low-concentration source and drain regions 4, 5 on the side of the projection, and has short channel effect suppression layers 6, 7 of the same conductivity type as the silicon substrate 1 which are positioned in the inner part of the gate electrode 3, encircle the low-concentration source and drain regions 4, 5, and are higher in concentration than the silicon substrate 1.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261795

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 L

3 0 1 S

3 0 1 P

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平9-67579

(22) 出願日 平成9年(1997) 3月21日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 青木 英治

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

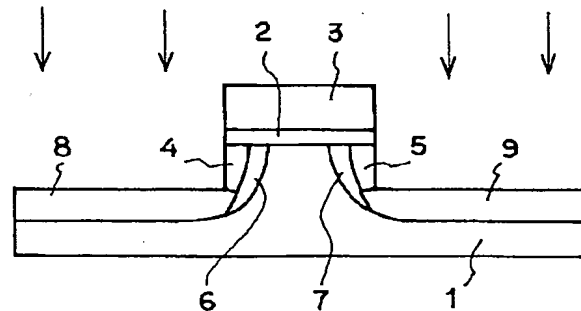
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 ゲート電極及びゲート絶縁膜の厚さが薄くなってくると、ハロー領域を形成しようとする、不純物がゲート電極及びゲート絶縁膜を突き抜けてチャネル領域にも注入されてしまい、トランジスタの動作閾値電圧などのトランジスタ特性を変化させてしまうことになる。

【解決手段】 表面に凸部を有するP型シリコン基板1に形成され、且つ、凸部の上面にゲート絶縁膜2を介してゲート電極3を有し、且つ、凸部の下部のシリコン基板1面に高濃度ソース/ドレイン領域8、9を有し、且つ、凸部側面に低濃度ソース/ドレイン領域4、5を有し、ゲート電極3の中央側で、低濃度ソース/ドレイン領域4、5を囲むように、シリコン基板1と同じ導電型で該シリコン基板1より高濃度の短チャネル効果抑制層6、7を有する。



【特許請求の範囲】

【請求項1】 表面に凸部を有する半導体基板に形成され、且つ、該凸部の上面にゲート絶縁膜を介してゲート電極を有し、且つ、上記凸部の下部の上記半導体基板面に高濃度ソース／ドレイン領域を有し、且つ、上記凸部側面に低濃度ソース／ドレイン領域を有し、上記ゲート電極の中央側で、該低濃度ソース／ドレイン領域を囲むように、上記シリコン基板と同じ導電型で該半導体基板より高濃度不純物領域を有することを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】 半導体基板上に、ゲート絶縁膜を介して、ゲート電極材料膜を形成し、パターニングにより、ゲート電極部を形成すると同時に、半導体基板もエッチングして、シリコン基板表面に対して隆起した、凸部を形成する工程と、

上記半導体基板と異なる導電型の不純物を、半導体基板表面垂直方向に対して、斜め方向で且つ回転させながらイオン注入し、ソース／ドレイン領域となる低濃度の第1不純物領域を形成する工程と、

上記半導体基板と同じ導電型の不純物を該半導体基板表面垂直方向に対して斜め方向で且つ回転させながらイオン注入し、上記低濃度の第1不純物領域よりもゲート電極中央部側に、第2不純物領域を形成する工程と、

上記半導体基板と異なる導電型の不純物を上記ゲート部をマスクに、上記半導体基板表面垂直方向からイオン注入し、ソース／ドレイン領域となる高濃度の第3不純物領域を形成する工程と、

上記第1乃至第3不純物領域を活性化する工程とを有することを特徴とする、請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 以下、NMOSトランジスタを例に、従来の構造と製造方法を図3にしたがって説明する。

【0003】 まず、図3(a)に示すように、P型シリコン基板10上にゲート絶縁膜11を熱酸化により形成する。その後、その上にポリシリコン等のゲート電極材料12をCVD法により形成する。

【0004】 次に、図3(b)に示すように、フォトリソリスト膜を塗布し、フォトリソグラフィ工程により、ゲート電極パターンを形成し、該ゲート電極パターンをマスクにゲート電極材料12及びゲート絶縁膜11をエッチングし、ゲート電極部を形成する。

【0005】 基板面のほぼ垂直方向から、注入過程で基板を面内で回転させながら、リン($^{31}\text{P}^+$)などのN型不純物をイオン注入し、低濃度ソース／ドレイン領域13、14を形成する。

【0006】 次に、図3(c)に示すように、基板面垂直方向に対して斜め方向から、且つ、注入過程で基板を面内で回転させて、ボロン($^{11}\text{B}^+$)などのP型不純物をイオン注入し、短チャネル効果抑制のためのハロー領域15、16を形成する。

【0007】 次に、図3(d)に示すように、CVD法により絶縁膜を堆積し、続けてエッチバックを行い、サイドウォール部17、18を形成する。その後、ヒ素($^{75}\text{As}^+$)などのN型不純物を高濃度にイオン注入し、高濃度ソース／ドレイン領域19、20を形成し、熱処理により、イオン注入した不純物を活性化し、トランジスタを形成する。

【0008】 上記説明はNMOSトランジスタの場合であるが、PMOSの場合は不純物の導電型が逆になるだけで、同様である。

【0009】 尚、絶縁ゲート型電界効果トランジスタにおいて、基板面に対して隆起した凸状部分の上面に、ゲート絶縁膜を介して、ゲート電極が形成されており、凸状部下段部分に、高濃度ソース／ドレイン領域が形成されており、段差部側面に低濃度ソース／ドレイン領域が形成されていることを特徴とする、半導体装置が特開平5-343674号公報に提案されているが、これは低濃度ソース／ドレイン部を長く取る取るため、段差を設けるものであり、ハロー領域形成については何ら記載されていない。

【0010】

【発明が解決しようとする課題】 絶縁ゲート型電界効果トランジスタにおいては、ゲート長が短くなるにつれて、短チャネル効果と呼ばれる、トランジスタの動作閾値電圧低下などの現象が生じる。トランジスタの製造過程において、ゲート長のバラツキが必然的に生じるため、短チャネル効果は、できるだけ生じないようにすることが望ましい。

【0011】 短チャネル効果を抑制する方法として、ハロー領域と呼ばれる短チャネル効果抑制層をトランジスタ構造の一部に形成する方法がある。このハロー領域は、基板と導電型で、不純物濃度が基板より高い領域を低濃度ソース／ドレイン領域を囲むように形成したものである。ハロー領域が存在すると、PN接合領域における基板側の空乏層の広がりを抑えるために、短チャネル効果が抑制される。

【0012】 しかし、素子の微細化に伴い、ゲート電極及びゲート絶縁膜の厚さが薄くなってくると、上記のような従来技術の構造と、その製造方法により、ハロー領域を形成しようとする、低濃度ソース／ドレイン領域を囲むような位置に形成する、不純物のイオン注入条件では、この不純物がゲート電極及びゲート絶縁膜を突き抜けてチャネル領域にも注入されてしまい、トランジスタの動作閾値電圧などのトランジスタ特性を変化させてしまうことになる。

【0013】また、逆にゲート電極及びゲート絶縁膜を突き抜けないような注入条件では、空乏層の広がりを抑えて、短チャネル効果を抑制するだけの十分な不純物を低濃度ソース／ドレイン領域を囲むような位置に注入できない。

【0014】本発明の目的は、微細化された絶縁ゲート型電界効果トランジスタにおいて、短チャネル効果抑制のためのハロー領域を低濃度ソース／ドレイン領域を囲むような領域だけに形成する手段を提供することにある。

【0015】

【課題を解決するための手段】請求項1記載の本発明の絶縁ゲート型電界効果トランジスタは、表面に凸部を有する半導体基板に形成され、且つ、該凸部の上面にゲート絶縁膜を介してゲート電極を有し、且つ、上記凸部の下部の上記半導体基板面に高濃度ソース／ドレイン領域を有し、且つ、上記凸部側面に低濃度ソース／ドレイン領域を有し、上記ゲート電極の中央側で、該低濃度ソース／ドレイン領域を囲むように、上記シリコン基板と同じ導電型で該半導体基板より高濃度不純物領域を有する

ことを特徴とするものである。

【0016】また、請求項2記載の本発明の絶縁ゲート型電界効果トランジスタの製造方法は、半導体基板上に、ゲート絶縁膜を介して、ゲート電極材料膜を形成し、パターニングにより、ゲート電極部を形成すると同時に、半導体基板もエッチングして、シリコン基板表面に対して隆起した、凸部を形成する工程と、上記半導体基板と異なる導電型の不純物を、半導体基板表面垂直方向に対して、斜め方向で且つ回転させながらイオン注入し、ソース／ドレイン領域となる低濃度の第1不純物領域を形成する工程と、上記半導体基板と同じ導電型の不純物を該半導体基板表面垂直方向に対して斜め方向で且つ回転させながらイオン注入し、上記低濃度の第1不純物領域よりもゲート電極中央部側に、第2不純物領域を形成する工程と、上記半導体基板と異なる導電型の不純物を上記ゲート部をマスクに、上記半導体基板表面垂直方向からイオン注入し、ソース／ドレイン領域となる高濃度の第3不純物領域を形成する工程と、上記第1乃至第3不純物領域を活性化する工程とを有することを特徴とするものである。

【0017】

【実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0018】図1は本発明の一の実施の形態の絶縁ゲート型電界効果トランジスタの断面図であり、図2は本発明の一の実施の形態の絶縁ゲート型電界効果トランジスタの製造工程図である。

【0019】尚、図1及び図2において、1はP型シリコン基板、2はゲート絶縁膜、3はゲート電極、4、5は低濃度ソース／ドレイン領域、6、7は短チャネル効

果抑制層、8、9は高濃度ソース／ドレイン領域を示す。

【0020】本発明は、図1に示すように、表面に凸部を有するP型シリコン基板1に形成され、且つ、凸部の上面にゲート絶縁膜2を介してゲート電極3を有し、且つ、凸部の下部のシリコン基板1面に高濃度ソース／ドレイン領域8、9を有し、且つ、凸部側面に低濃度ソース／ドレイン領域4、5を有し、ゲート電極3の中央側で、低濃度ソース／ドレイン領域4、5を囲むように、シリコン基板1と同じ導電型で該シリコン基板1より高濃度の短チャネル効果抑制層6、7を有することを特徴とする。

【0021】以下に、図2を用いて、本発明の一実施の形態の絶縁ゲート型電界効果トランジスタの製造工程を説明する。

【0022】まず、図2(a)に示すように、P型シリコン基板1(不純物濃度 $\sim 2.0 \times 10^{17} \text{ cm}^{-3}$)上に、厚さ50Åのゲート絶縁膜2を熱酸化による、熱酸化膜で形成する。その後、ゲート絶縁膜2の上に厚さ1500Åのゲート電極3の材料となるポリシリコン膜をCVD法により形成する。

【0023】次に、図2(b)に示すように、パターニングによりゲート電極部を形成すると同時に、シリコン基板も500Å程度エッチングし、ゲート電極3がシリコン基板の凸状部上面に形成されるようにする。その後、シリコン基板1に対して、垂直方向に対して約10度の角度をつけて斜めから、且つ、注入過程で基板面内で8回回転させながら、リン($^{31}\text{P}^+$)などのN型不純物を、注入エネルギーを30keV、ドーズ量を $4.0 \times 10^{13} \text{ cm}^{-2}$ としてイオン注入し、低濃度ソース／ドレイン領域4、5を形成する。

【0024】次に、図2(c)に示すように、シリコン基板1に対して、垂直方向に対して約40度の角度をつけて斜めから、且つ、注入過程で基板面内で8回回転させながら、ボロン($^{11}\text{B}^+$)などのP型不純物を、注入エネルギーを10keV、ドーズ量を $8.0 \times 10^{13} \text{ cm}^{-2}$ としてイオン注入し、シリコン基板1と同じ導電型で高濃度の短チャネル効果抑制層6、7を形成する。

【0025】次に、図2(d)に示すように、ヒ素($^{75}\text{As}^+$)などのN型不純物をシリコン基板に対して、ほぼ垂直方向から(基板面垂直方向に対して7度)、加速エネルギーを50keV、ドーズ量を $3.0 \times 10^{13} \text{ cm}^{-2}$ で、イオン注入し、高濃度ソース／ドレイン領域8、9を形成する。その後、不純物活性化のための熱処理を行い、トランジスタを形成する。

【0026】上述の実施の形態により、従来技術と同等の性能を有するNMOSTランジスタが得られる。本発明は上記実施の形態に限定されず、例えば、PMOSTランジスタの場合は、不純物の導電型が逆になるだけで、同様である。また、P型シリコン基板に直接トラン

ジスタを形成しているが、P型ウェルを形成し、そのウェルにトランジスタを形成してもよく、また、N型基板で作成する場合も同様である。

【0027】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、ゲート絶縁膜及びゲート電極が薄い場合でも、低濃度ソース、ドレイン領域をゲート電極中央側で囲む領域に、基板と同じ導電型で、不純物濃度の高い領域を形成し、空乏層の広がりを抑えることができ、短チャネル効果を抑制した絶縁ゲート型電界効果ト

ランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の絶縁ゲート型電界効果*

*トランジスタの断面図である。

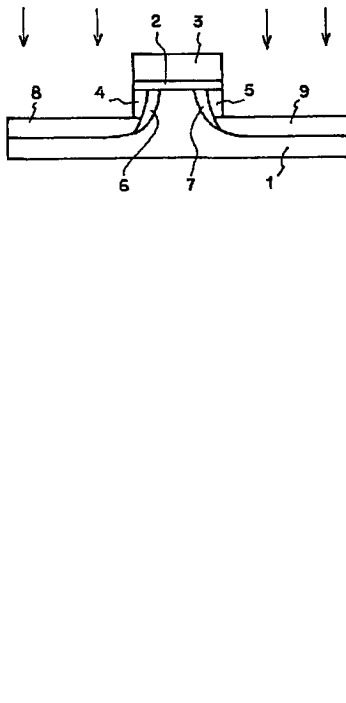
【図2】本発明の一実施の形態の絶縁ゲート型電界効果トランジスタの製造工程図である。

【図3】従来の絶縁ゲート型電界効果トランジスタの製造工程図である。

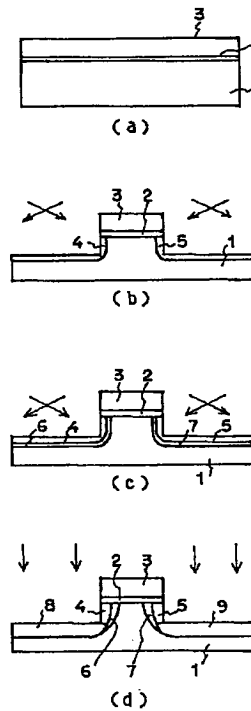
【符号の説明】

- 1 P型シリコン基板
- 2 ゲート絶縁膜
- 3 ゲート電極
- 4、5 低濃度ソース/ドレイン領域
- 6、7 短チャネル効果抑制層
- 8、9 高濃度ソース/ドレイン領域

【図1】



【図2】



【図3】

